

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3363360号
(P3363360)

(45) 発行日 平成15年 1 月 8 日 (2003. 1. 8)

(24) 登録日 平成14年10月25日 (2002. 10. 25)

(51) Int.Cl.⁷

識別記号

F I

G 0 1 D 3/02
// G 0 1 F 1/696
G 0 1 P 15/125
21/00

G 0 1 P 15/125
21/00
G 0 1 D 3/02
G 0 1 F 1/68

N
2 0 1 Z

請求項の数 7 (全 8 頁)

(21) 出願番号 特願平9-275896
(22) 出願日 平成9年10月8日 (1997. 10. 8)
(65) 公開番号 特開平11-118552
(43) 公開日 平成11年4月30日 (1999. 4. 30)
審査請求日 平成12年6月30日 (2000. 6. 30)

(73) 特許権者 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(73) 特許権者 000232999
株式会社日立カーエンジニアリング
茨城県ひたちなか市高場2477番地
(72) 発明者 松本 昌大
茨城県日立市大みか町七丁目1番1号
株式会社 日立製作所 日立研究所内
(72) 発明者 嶋田 智
茨城県日立市大みか町七丁目1番1号
株式会社 日立製作所 日立研究所内
(74) 復代理人 100084940
弁理士 丸山 清 (外5名)

審査官 榮永 雅夫

最終頁に続く

(54) 【発明の名称】 センサ調整回路

(57) 【特許請求の範囲】

【請求項1】 アナログ・デジタル変換器と、該アナログ・デジタル変換器の出力を予め組み込まれているプログラムにより演算処理する演算器と、調整用のデータを保持する書き込み可能なメモリとを備えたセンサ調整回路において、

前記アナログ・デジタル変換器が、アナログ積分器と比較回路、それにデジタル・アナログ変換器とからなるオーバーサンプリング型アナログ・デジタル変換器で構成されていることを特徴とするセンサ調整回路。

【請求項2】 アナログ・デジタル変換器と、該アナログ・デジタル変換器の出力を予め組み込まれているプログラムにより演算処理する演算器と、調整用のデータを保持する書き込み可能なメモリとを備えたセンサ調整回路において、

前記アナログ・デジタル変換器が、アナログ積分器と比較回路、それにデジタル・アナログ変換器とからなるオーバーサンプリング型アナログ・デジタル変換器で構成され、

該オーバーサンプリング型アナログ・デジタル変換器は、対象とするセンサが必要とする精度以下のビット数からなる出力を、該センサが必要とする応答周期の10分の1以下の周期で出力するように構成されていることを特徴とするセンサ調整回路。

【請求項3】 アナログ・デジタル変換器と、該アナログ・デジタル変換器の出力を予め組み込まれているプログラムにより演算処理する演算器と、調整用のデータを保持する書き込み可能なメモリとを備えたセンサ調整回路において、

前記アナログ・デジタル変換器が、アナログ積分器と

比較回路、それにディジタル・アナログ変換器とからなるオーバーサンプリング型アナログ・ディジタル変換器で構成され、

該オーバーサンプリング型アナログ・ディジタル変換器は、4ビットないし8ビットの変換精度を有することを特徴とするセンサ調整回路。

【請求項4】 アナログ・ディジタル変換器と、該アナログ・ディジタル変換器の出力を予め組み込まれているプログラムにより演算処理する演算器と、調整用のデータを保持する書き込み可能なメモリとを備えたセンサ調整回路において、

前記アナログ・ディジタル変換器が、アナログ積分器と比較回路、それにディジタル・アナログ変換器とからなるオーバーサンプリング型アナログ・ディジタル変換器で構成され、

且つ、該オーバーサンプリング型アナログ・ディジタル変換器は、対象センサの検出回路の一部を構成していることを特徴とするセンサ調整回路。

【請求項5】 アナログ・ディジタル変換器と、該アナログ・ディジタル変換器の出力を予め組み込まれているプログラムにより演算処理する演算器と、調整用のデータを保持する書き込み可能なメモリとを備えたセンサ調整回路において、

前記アナログ・ディジタル変換器が、アナログ積分器と比較回路、それにディジタル・アナログ変換器とからなるオーバーサンプリング型アナログ・ディジタル変換器で構成され、

該オーバーサンプリング型アナログ・ディジタル変換器は、対象とするセンサが必要とする精度以下のビット数からなる出力を、該センサが必要とする応答周期の10分の1以下の周期で出力し、

前記演算器の出力の平均値が前記センサの必要精度を満足するように構成されていることを特徴とするセンサ調整回路。

【請求項6】 請求項1～請求項5の発明において、前記演算器が、0番地からプログラムカウンタの最大カウンタ値までのアドレスを巡回する巡回型のプログラムで動作し、電源投入時でのリセットを不要に構成されていることを特徴とするセンサ調整回路。

【請求項7】 請求項1～請求項5の発明において、前記調整用のデータを保持する書き込み可能なメモリが、エラー訂正論理及びエラー検出論理を有することを特徴とするセンサ調整回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、各種の物理量を電気信号として検出するセンサに組み合わされ、その出力信号を処理する回路に係り、特に静電容量式加速度センサや熱式空気流量センサに好適なセンサ調整回路に関する。

【0002】

【従来の技術】 例えば静電容量式加速度センサなど、物理量を電気信号として検出するセンサでは、検出すべき物理量の大きさと、出力信号の大きさとが所望の関係になるようにする必要がある。この所望の関係が満たされるようにするのに必要な処理を目盛合わせ(較正)と呼び、このためにセンサに組合わされる回路がセンサ調整回路であり、従って、端的に言えば、このセンサ調整回路とは、所定の入出力特性を与える変換回路に外ならない。

【0003】 ところで、このセンサ調整回路による処理の内容は、スパン調整とオフセット調整からなるのが一般的であり、ここで、スパン調整は感度合わせに対応し、オフセット調整はゼロ点合わせに対応する。そこで、このセンサ調整回路としては、出力に必要なデータが所定のアドレスに記憶されたメモリを用い、このメモリのアドレスを入力信号のレベルに対応させ、これにより読出されるデータを出力信号とする回路が、従来から用いられている。

【0004】 例えば特開平3-51714号公報では、ツェナーザッピングによるPROM(プログラマブル・リード・オンリ・メモリ)と、このPROMのデータ内容に応じて抵抗アレイの引出部を選択し、これによりセンサ出力を調整する方法について開示しており、他の例では、PROMに書き込まれた情報に基づいてスイッチド・キャパシタ回路の回路定数を変更し、これによりセンサ出力を調整する方法について開示している。

【0005】 一方、例えば特開平8-62010号公報では、AD変換器(アナログ・ディジタル変換器)とCPU(セントラル・プロセッシング・ユニット)を用いてセンサ出力を調整する方法について提案している。

【0006】

【発明が解決しようとする課題】 上記従来技術は、以下に説明するように、一方では調整範囲の拡大と精度の向上に限界があり、他方では回路規模増大の抑制に限界がある点について配慮がされておらず、対費用効果(コストパフォーマンス)の向上に問題があった。まず、抵抗アレイの引出部の選択やスイッチド・キャパシタ回路の回路定数を変更する方式の従来技術では、回路構成のオンチップ化は容易であるが、調整範囲の拡大と高精度化を図ると、回路規模の指数関数的な増大を伴ってしまい、このため、調整範囲の拡大と精度の向上に限界が生じてしまうのである。

【0007】 次に、AD変換器とCPUを用いる方式の従来技術では、比較的容易に調整範囲の拡大と高精度化を図れるが、汎用のAD変換器とCPUを用いた場合には機能に重複部分(オーバーハング)が現れ、回路に無駄な部分が多く生じ、このため回路規模が増大し、その抑制に限界が生じてしまうのである。本発明の目的は、広い調整範囲と高精度を小さな回路規模で容易に得ること

ができるようにしたセンサ調整回路を提供することにある。

【0008】

【課題を解決するための手段】上記目的は、アナログ・デジタル変換器と、該アナログ・デジタル変換器の出力を予め組み込まれているプログラムにより演算処理する演算器と、調整用のデータを保持する書き込み可能なメモリとを備えたセンサ調整回路において、前記アナログ・デジタル変換器を、アナログ積分器と比較回路、それにデジタル・アナログ変換器とからなるオーバーサンプリング型アナログ・デジタル変換器で構成することにより達成される。

【0009】オーバーサンプリング型アナログ・デジタル変換器を用いることにより、調整範囲と精度の保持に必要なデジタル信号のビット数が少なくでき、回路規模を小さく抑えることができる。

【0010】

【発明の実施の形態】以下、本発明によるセンサ調整回路について、図示の実施形態により詳細に説明する。図1は本発明の第1の実施形態で、図において、1はアナログ積分器、2は比較器、3はデジタル積分器、4は演算器、5はDA変換器(デジタル・アナログ変換器)、6はLPF(低域濾波器)、7はDA変換器、そして8はPROMである。

【0011】本発明によるレベル調整回路は、大別して3種類の機能部分で構成され、図1の実施形態では、これらの機能部分は、それぞれ以下に説明するようになっている。まず、第1の機能部分は、アナログ積分器1と比較器2、デジタル積分器3とDA変換器7で構成されている。そして、まず、アナログ積分器1により、センサからの入力信号とDA変換器7の出力との差を積分する。

【0012】次に、このアナログ積分器1の出力を比較器2に入力し、所定の周期毎に所定の電圧と比較してレベル0とレベル1の信号に変換する。さらに、この比較器2の出力をデジタル積分器3に入力して積分し、その結果を所定のビット数の時系列デジタル信号として出力する。

【0013】また、このデジタル積分器3の出力はDA変換器7にも入力され、ここでアナログ信号に変換して入力信号から減算する。これにより、この第1の機能部分は、DA変換器7のビット数に等しいビット数を持ち、入力信号に応じて平均値が変化する時系列デジタル信号をデジタル積分器3から出力する働きをする。

【0014】このとき、比較器2の動作周期(周波数の逆数)を、対象とするセンサに要求されている応答性から決まる動作周期の例えば $1/10$ 以下と小さな値(周波数で言えば10倍以上の大きな値)に設定することにより、この第1の機能部分は、いわゆるオーバーサンプリング型AD変換器としての機能を発揮し、この結果、

DA変換器7のビット数は、原理的には最小限1ビットにしても、必要な調整範囲と精度の保持ができるようになる。

【0015】これは、本発明のセンサ調整回路が、平均値の操作により必要な調整を得ようになっているからであり、DA変換器7のビット数が1ビットであっても、出力信号の平均値が維持できるからであり、このときは、デジタル積分器3は不要で、比較器2の出力をそのまま演算器4とDA変換器7に供給するようにしてやればよい。

【0016】なお、DA変換器7のビット数を1ビットにした場合には、後述するような問題が生じるので、あまり実用的とは言えないが、それでも本発明によれば、必要とする精度から算定されるビット数よりもかなり少ない、例えば4ビット～12ビット程度のビット数にすることができる。

【0017】次に、第2の機能部分は、演算器4とPROM8で構成されている。そして、演算器4により、デジタル積分器3から出力される信号とPROM8から読出したデジタルデータを演算することにより、第1の機能部分から得られた出力信号の平均値を変化させるようになっている。

【0018】これにより、この第2の機能部分は、実質的にセンサからの出力信号のゼロ点とスパンを調整する働きをする。このとき、第1の機能部分から出力される信号のビット数が、上記したように小ビット化されているので、その分、演算器4の回路規模が減少できることになる。また、このとき、デジタル的な演算処理なので、アナログ回路素子による調整のように、素子のバラツキや温度変化の影響を受ける虞れがないので、高い精度の調整を容易に得ることができる。

【0019】最後に、第3の機能部分は、DA変換器5とLPF6で構成されている。そして、DA変換器5により、演算器4から出力されるデジタル信号をアナログ信号に変換し、LPF6により、DA変換器5から出力されるアナログ信号を平滑化しようになっている。

【0020】これにより、この第3の機能部分は、第2の機能部分から得られたデジタル信号をアナログ信号にした上で平均化し、調整済センサ信号として出力する働きをする。このときも、上記したように、第1の機能部分から出力される信号のビット数が少なくされていることにより、DA変換器5の回路規模も小さくて済むことになる。

【0021】このように、この実施形態では、アナログ積分器1と比較器2、デジタル積分器3、それにDA変換器7とで構成されるオーバーサンプリング型AD変換器を用いた結果、デジタル信号のビット数を小さくしても、必要な調整範囲と精度を保持することができ、回路規模を抑えることができる。また、デジタル信号による調整処理なので、調整用回路素子のバラツキや温

度変化の影響を受ける虞れがなく、容易に高精度を保つことができる。

【0022】次に、上記したDA変換器7の最適ビット数について説明する。このビット数は、上記したように、1ビットにまで減らすことができる。ところで、このビット数は、所望の精度保持については、平均化に必要な入力信号の個数とトレードオフの関係があり、ビット数を減らすと、平均化のための入力信号の個数を増やさなければならなくなる。

【0023】また、対象とするセンサの応答性から、平均値を得るまでの時間が制約されるため、入力信号の個数の増加に伴ってセンサ調整回路自体の動作速度を上げる必要が生じ、この結果、特に演算器4に大きな負担が掛り、高性能が要求されるのでコストが上昇してしまう。

【0024】反対に、ビット数を、例えば16ビットなどと多くすると、センサ調整回路自体の動作速度は低くて済むが、デジタル積分器3と演算器4が大きなビット数の処理を要することになり、回路規模が増大してしまう。以上を勘案して、本発明の実施形態では、DA変換器7のビット数としては、4ビット～8ビットが適当であるとしている。ビット数を4ビット～8ビットに設定すれば、センサ調整回路自体の動作速度も実用的な範囲で済み、回路規模も妥当な範囲に納まる。

【0025】次に、本発明の実施形態について、更に具体的に説明する。本発明によれば、上記した第1の機能部分を、組合せ対象となるセンサの検出回路と一体化して実施することができる。そこで、以下、このようにした実施形態について説明する。まず、図2は、組合せ対象となるセンサとして、容量式センサを適用した場合の一実施形態である。

【0026】なお、この容量式センサとは、検出すべき物理量を静電容量の変化として検出する方式のセンサのことで、典型例としては容量式加速度センサがある。図2において、9、10、12、13、17、18はアナログスイッチ、11はセンサ容量コンデンサ、14は帰還用のコンデンサ、15は演算増幅器、それに16は基準容量コンデンサであり、その他の要素は図1と同じである。

【0027】アナログスイッチ9～は周知の半導体スイッチなどで構成されたもので、A群のアナログスイッチ9、13、18と、B群のアナログスイッチ10、12、17の2群に分けて制御され、A群がオンに制御されたときは、B群はオフに制御され、反対にA群がオフのとき、B群はオンにされるようになっている。

【0028】センサ容量コンデンサ11は、検出すべき物理量に応じて静電容量が変化するように構成されており、このとき、センサが加速度センサの場合には、センサに働く加速度に応じて、このセンサ容量コンデンサ11の静電容量が変化することになる。

【0029】演算増幅器15は、帰還用のコンデンサ14を備えることにより、積分器として動作し、これにより、図1の実施形態におけるアナログ積分器1と同じ機能を発揮する。基準容量コンデンサ16は、DA変換器7の出力で充電され、このDA変換器7の出力をフィードバックする働きをする。

【0030】次に、この図2の実施形態の動作について説明すると、この実施形態では、A群とB群のアナログスイッチを交互にオンオフ制御する第1と第2の動作を所定の周期で繰り返すことにより、センサ容量コンデンサ11の静電容量値の検出が行われるようになっている。このときの第1と第2の動作を繰り返すときの周期は、上記した比較器2の動作周期と同じか、それより短い周期にすれば良い。

【0031】まず、第1の動作では、B群のアナログスイッチ10、12、17をオンに制御する。そうすると、アナログスイッチ10、12によりセンサ容量コンデンサ11が放電され、基準容量コンデンサ16には、アナログスイッチ17を介してDA変換器7の出力が充電される。

【0032】次に、第2の動作では、A群のアナログスイッチ9、13、18をオンに制御する。そうすると、今度は、アナログスイッチ9、18を介して、センサ容量コンデンサ11と基準容量コンデンサ16が電源電圧Vccとアース間に直列に接続され、アナログスイッチ13を介して、センサ容量コンデンサ11と基準容量コンデンサ16の間の接続点が演算増幅器15の反転入力に接続される。

【0033】そこで、センサ容量コンデンサ11は電源電圧Vccにより充電され、基準容量コンデンサ16は放電されることになり、このときのセンサ容量コンデンサ11の充電電流と、基準容量コンデンサ16の放電電流の差の電流がアナログスイッチ13を介して帰還用コンデンサ14に充電され、この結果、演算増幅器15の出力には、帰還用コンデンサ14の端子電圧に応じた電圧が現れる。

【0034】こうして演算増幅器15の出力に現れた電圧は、比較器2とデジタル積分器3を介してDA変換器7に供給され、次の周期での第1の動作における基準容量コンデンサ16に対する充電電流の値となる。この結果、デジタル積分器3の出力である平均値は、次の(式1)に示すようになる。

【0035】

【数1】

$$\overline{D} = \frac{C_S V_{CC}}{C_R k_{DA}} \dots\dots\dots (式 1)$$

\overline{D} : デジタル積分器3の出力の平均値
 C_S : センサ容量コンデンサ11の容量値
 V_{CC} : 電源電圧
 C_R : 基準容量コンデンサ16の容量値
 k_{DA} : DA変換器7の変換係数

【0036】この(式1)から明らかなように、図2のデジタル積分器3の出力には、センサ容量コンデンサ11の静電容量値を表わすデジタル信号が得られることになり、従って、この実施形態によれば、センサ調整回路の第1の機能部分が、それに組合わされるべき容量式センサの検出回路を兼ねた構成になっていることが判る。

【0037】従って、この図2の実施形態によれば、センサ調整回路に、それに組合わされるべきセンサ回路の機能を持たせることができ、この結果、広い調整範囲と高精度の確保と共に、センサ回路も含めた全体としての回路規模の縮小を充分に得ることができる。

【0038】また、この実施形態によれば、検出誤差の低減も得ることができる。これは、別々の回路構成とした場合には、各回路での誤差が加算されてしまうが、図2の実施形態では、第1の機能部分にセンサの検出回路が合体されているので、フィードバック効果により誤差の低減が得られるからである。

【0039】次に、図3は、組合せ対象となるセンサを、自動車のエンジン制御などに使用されている熱式空気流量計にした場合の一実施形態で、図において、19～22は熱線抵抗、そして23は差動増幅器であり、その他の構成要素は、図1の実施形態と同じである。4個の熱線抵抗19～22はブリッジ回路を構成し、このブリッジ回路が空気流により不平衡になったときの電圧を差動増幅器23で検出して空気流量の検出信号とするようにし、このとき、熱線抵抗19～22からなるブリッジ回路の電流源としてDA変換器7の出力を用いることにより、熱線式空気流量計の検出回路とセンサ調整回路の第1の機能部分の双方が構成されることになる。

【0040】従って、この図3の実施形態によっても、センサ調整回路に、それに組合わされるべきセンサ回路の機能を持たせることができ、この結果、広い調整範囲と高精度の確保と共に、センサ回路も含めた全体としての回路規模の縮小を充分に得ることができ、さらに誤差の低減も得ることができる。

【0041】次に、上記実施形態における演算器4の動作について、図4の動作ブロック図により説明する。上記したように、この演算器4は、入力信号(デジタル積分器3の出力である時系列デジタル信号)の平均値に対する所定値の加算と乗算により、対象とするセンサの出力に対するゼロ点調整とスパン調整が与えられるようにする回路である

まず、ゼロ点調整のための加算処理は、PROM8に予め書き込んである、ビット数がDA変換器7と等しく、その平均値が目的とする調整値になっているデジタル処理列24を読み出して、入力信号に加算することにより得られ、このとき、単に加算するだけで、入力信号の平均値に対する加算を、ビット数の変化を伴わずに得ることができる。但し、オーバーフローが生じた場合には、これを補正する処理が必要になる。

【0042】次に、スパン調整のための乗算処理は、同じくPROM8に予め書き込んである、ビット数がDA変換器7と等しく、その平均値が目的とする調整値になっていて、さらにその周波数特性が、図5に示すように、入力信号の周波数分布と重ならないように設定してあるデジタル処理列25を読み出して、入力信号に乗算することにより得られ、このときも、同じく単に乗算するだけで良い。しかして、このとき、乗算によりビット数が2倍になってしまうが、有効ビットは、初期のビットにしか無いので、下半分のビットを切り捨てることにより入力信号と同じビット数を維持することができる。

【0043】なお、ここで、図5に示すように、周波数分布が重ならないようにしたのは次の理由による。すなわち、仮に入力信号とデジタル信号列25の周波数が重なっていた場合には、乗算処理により、周波数が重なった帯域の信号が直流に変換され、この結果、平均値を狂わしてしまう虞れがあるからである。

【0044】次に、デジタル積分器3と演算器4をMPU(マイクロ・プロセッシング・ユニット)で構成した一実施形態について、図6により説明する。この図6に示したMPUは、図示のように、データの一時記憶用であるRAM26と、調整用データ記憶用のPROM27(PROM8に相当)、アキュムレータ28、演算を実行する演算器29、制御部30、プログラムカウンタ31、それにプログラム格納用のROM32で構成され、RAM32に書き込まれているプログラムに従って、制御部30により、演算器29とプログラムカウンタ31、それにデータバスが管理され、デジタル積分器3と演算器4としての動作に必要な処理が実行されるようになっている。

【0045】この実施形態では、プログラムカウンタ31の出力により直接、プログラム格納用ROM32にアクセスし、このROM32の出力データを直接、制御部30に出力するようになっている。そして、このときの命令体系は1命令1ワードにしてあり、後方分岐命令を不可能にし、プログラムカウンタ31の最大カウント値とプログラム格納用ROM32のワード数を同じにしてある。これにより、この実施形態では、リセット動作を行わなくてもプログラムが正しく動作するようになり、電源投入時でのリセット、いわゆるパワーオンリセット処理を不要にしている。

【0046】電源投入時、リセットを行わないと、プロ

グラムカウンタ31のカウンタ値が不定なため、プログラムが何処のアドレスからスタートするか判らないが、上記実施形態では、プログラムに後方分岐命令が無いため、スタートさせればプログラムカウンタ31のカウンタ値は必ず増加し、そのカウンタ値が最大値に達した後、カウンタ値0に戻る。そして、この結果、プログラムは必ず0番地のアドレスを通過して動作するのが保証され、従って、リセット処理をしなくても良いのである。

【0047】なお、このため、当然のこととして、この実施形態では、プログラム自体の構成が、0番地からプログラムカウンタ31の最大カウンタ値までのアドレスを巡回する、いわゆる巡回型のプログラムに限られる。しかしながら、この実施形態の場合は、デジタル積分器3と演算器4の動作を得るためのプログラムだけなので、巡回型のプログラムしか使用できないことは、何ら制約にならない。

【0048】のみならず、このことは、反対に、MPUの暴走に対して強くなることを意味する。何故なら、仮にMPUが暴走したとしても、その暴走先のアドレスは、必ずプログラムのアドレスになり、且つ、プログラムは巡回型のプログラムになっているので、いずれは正常な処理に戻るからである。

【0049】周知のように、汎用のMPUでは、リセット動作を確実に保証し、暴走に対処するため、ウォッチドッグタイマなどの監視手段を設けるのが通例である。しかしながら、この実施形態では、上記したように、リセット処理が不要にできる上、MPUの暴走に際しても特に問題が生じないので、監視手段も不要にでき、従って回路規模の縮小とMPUの高信頼性を更に図ることができる。

【0050】次に、PROM8の一実施形態について、図7により説明する。この図7は、PROM8の単位記憶セルの構成を示したもので、この実施形態では、単位記憶セルを、3個のPROMメモリセル33、34、35で構成し、それらから読出したデータを多数決論理回路36を介して出力するようにしたものである。

【0051】一般に、PROMは温度の影響を受け易く、高温で信頼性が低下する。特に、自動車のエンジンルームや、宇宙などで使用されるセンサの場合、高温に曝されるので、信頼性が低下し易い。そこで、この図7の実施形態では、複数のメモリセルからのデータを用い、多数決論理をとることにより、エラー訂正論理及びエラー検出論理を有することになり、これにより誤ったデータを排除し、高信頼性が維持できるようにしたのである。

【0052】次に、本発明の他の実施形態について説明する。図8は、本発明の一実施形態で、図示のように、複数個のセンサ、例えば3個のセンサA、B、Cに対して、1個のMPU41を共通に設け、時分割処理によ

り、それぞれのセンサに対するデジタル積分器と演算器の働きをするようにしたものである。

【0053】ここで、1A、1B、1Cはアナログ積分器で、図1の実施形態におけるアナログ積分器1と同じであり、以下、同様に、2A、2B、2Cは、比較器2に相当し、5A、5B、5CはDA変換器5に、6A、6BはLFP6に、そして7A、7B、7Cは、DA変換器7に相当するものである。

【0054】MPU41は、図6で説明したものと同一であるが、上記したように、各センサA、B、Cの出力を順次、所定の順序で時分割処理し、図1の実施形態におけるデジタル積分器3と演算器4と同じく、各センサ毎にゼロ点調整とスパン調整が与えられるように動作する。

【0055】従って、この図8の実施形態によれば、複数のセンサを対象として、各センサ毎に独立してデジタル積分器3と演算器4を設けた場合よりも回路規模が縮小できるという利点がある。また、複数のセンサからの出力を相互に関連させて演算処理できるので、或るセンサの出力により、他のセンサの出力に補償が与えられるようにしたり、複数のセンサの出力の比や差が必要な場合にも容易に対応できるという利点が得られる。

【0056】

【発明の効果】本発明によれば、オーバーサンプリング型アナログ・デジタル変換器を用いたので、調整範囲の確保と精度の保持に必要なデジタル信号のビット数が少なくでき、この結果、必要な精度と調整範囲を維持しながら、充分に回路規模の縮小を図ることができる。

【図面の簡単な説明】

【図1】本発明によるセンサ調整回路の一実施形態を示すブロック図である。

【図2】本発明によるセンサ調整回路の他の一実施形態を示すブロック図である。

【図3】本発明によるセンサ調整回路の更に別の一実施形態を示すブロック図である。

【図4】本発明の一実施形態における演算器の動作ブロック図である。

【図5】本発明の一実施形態における信号の周波数特性図である。

【図6】本発明におけるデジタル積分器と演算器をMPUで構成した場合の一実施形態を示すブロック図である。

【図7】本発明におけるPROMの一実施形態を示すブロック図である。

【図8】本発明によるセンサ調整回路の他の一実施形態を示すブロック図である。

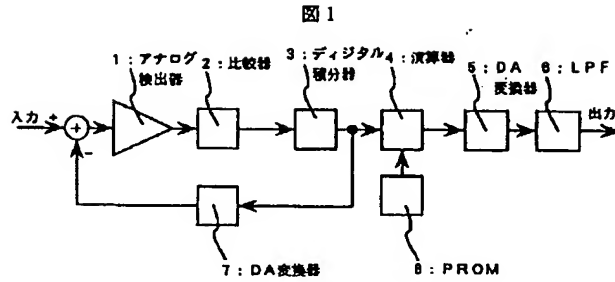
【符号の説明】

- 1 アナログ積分器
- 2 比較器
- 3 デジタル積分器

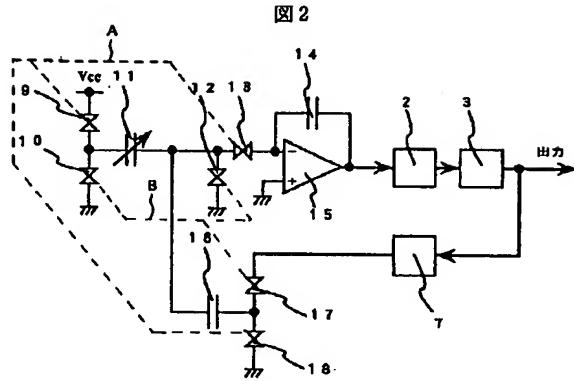
4 演算器
5 DA変換器
6 LFP

7 DA変換器
8 PROM

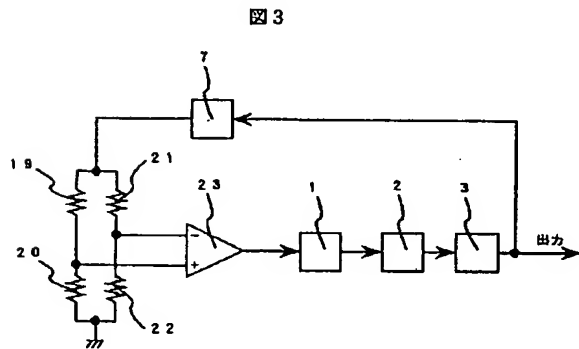
【図1】



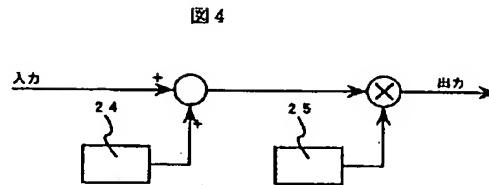
【図2】



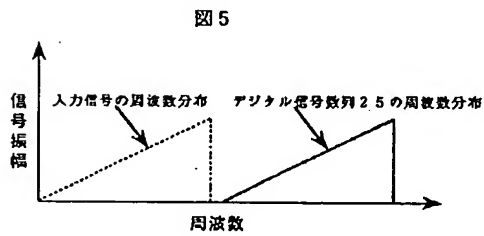
【図3】



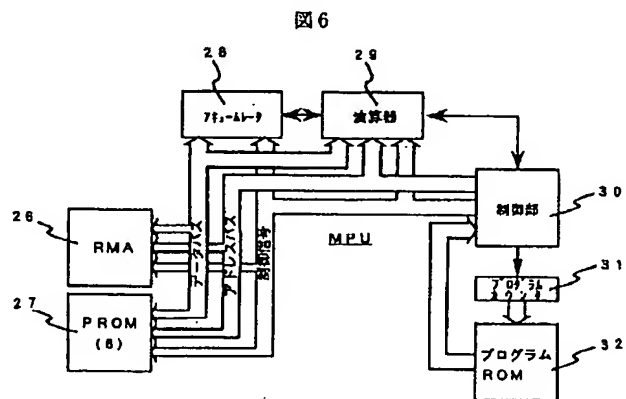
【図4】



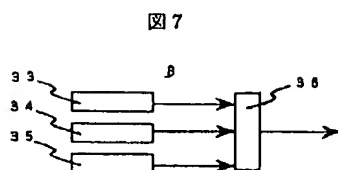
【図5】



【図6】

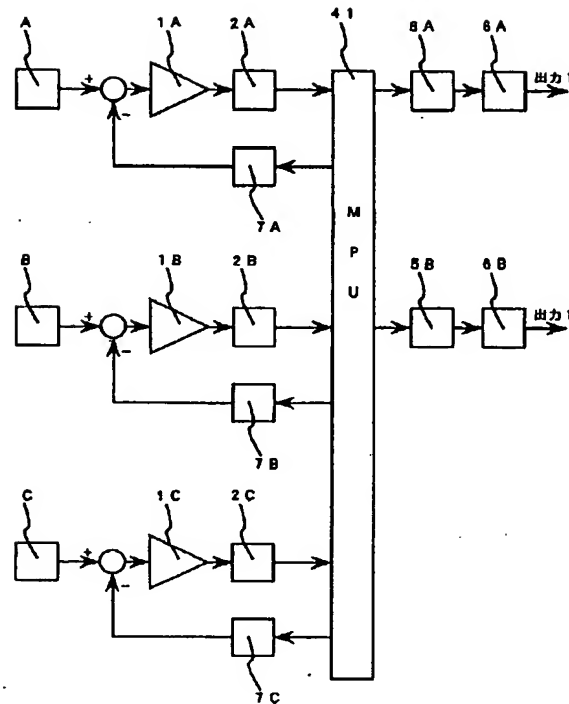


【図7】



【図8】

図8



フロントページの続き

(72)発明者 鈴木 清光

茨城県日立市大みか町七丁目1番1号

株式会社 日立製作所 日立研究所内

(72)発明者 斉藤 明彦

茨城県日立市大みか町七丁目1番1号

株式会社 日立製作所 日立研究所内

(72)発明者 宮崎 敦史

茨城県ひたちなか市大字高場2520番地

株式会社 日立製作所 自動車機器事業
部内

(72)発明者 半沢 恵二

茨城県ひたちなか市大字高場2477番地

株式会社 日立カーエンジニアリング内

(56)参考文献 特開 平3-51714 (JP, A)

特開 平8-62010 (JP, A)

特開 平7-84588 (JP, A)

特開 平3-218121 (JP, A)

特表 昭62-501164 (JP, A)

米国特許3855466 (US, A)

(58)調査した分野(Int. Cl. 7, DB名)

G01D 3/00 - 3/028

G01F 1/696

G01P 15/125

G01P 21/00